

(54) PULSE GENERATING CIRCUIT

(11) 2-4004 (A) (43) 9.1.1990 (19) JP

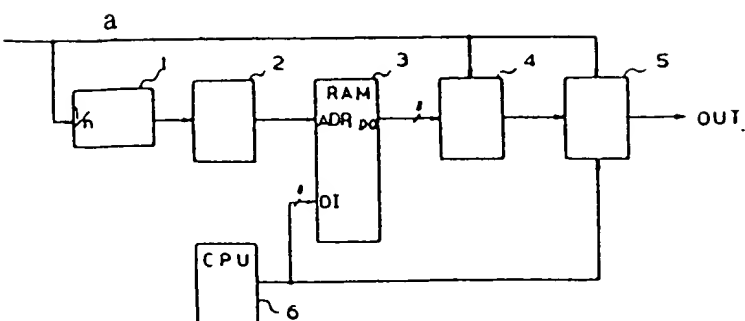
(21) Appl. No. 63-151248 (22) 21.6.1988

(71) HITACHI COMMUN SYST INC (72) SATORU INASAWA

(51) Int. Cl. H03K3/78, G06F1/06, H03K5/156

**PURPOSE:** To change a pulse width as to an individual pulse signal as a digital pattern component by serially converting n-bit parallel phase designation data to contain phase designation bits, respectively, and thereafter, changing the pulse width when the phase designation bit appears.

**CONSTITUTION:** A reference clock pulse from a  $1/n$  frequency-divider 1 is counted by a counter 2, and the counted value is given as an address to a RAM 3. On the other hand, phase designation data given from a CPU 6 are stored into the RAM 3. Each time a reading address is updated in a reference clock pulse period, the n-bit parallel phase designation data are read from the RAM 3. By serial-converting them by a shift register 4 of an n-bit capacity, a reference digital pattern is generated. The pulse signal as the digital pattern component is generated in a phase corresponding to the bit position of the phase designation bit, and the pulse width of the individual pulse signal is changed to be prescribed by a pulse width control device 5.



a: reference clock pulse

## ⑫ 公開特許公報(A) 平2-4004

⑤ Int. Cl.<sup>5</sup>H 03 K 3/78  
G 06 F 1/06  
H 03 K 5/156

識別記号

庁内整理番号

8626-5 J

M

6959-5 J

7459-5 B

G 06 F 1/04

3 1 2 D

審査請求 未請求 請求項の数 3 (全4頁)

⑬ 公開 平成2年(1990)1月9日

⑭ 発明の名称 バルス発生回路

⑮ 特 願 昭63-151248

⑯ 出 願 昭63(1988)6月21日

⑰ 発 明 者 稲 沢 悟 神奈川県横浜市戸塚区戸塚町180番地 日立通信システム株式会社内

⑱ 出 願 人 日立通信システム株式会社 神奈川県横浜市戸塚区戸塚町180番地

⑲ 代 理 人 弁理士 秋本 正実 外1名

## 明 細 書

## (産業上の利用分野)

## 1. 発明の名称

バルス発生回路

本発明は、バルス信号間々隔不均一にして、時系列的にバルス信号をデジタルパターンとして発生するためのバルス発生回路に係り、特にバルス信号個々の位相やバルス幅が容易に可変とされたバルス発生回路に関するものである。

## 2. 特許請求の範囲

## (従来技術)

1. 分周器によって  $1/n$  ( $n \geq 0, 1$ ) 分周された基準クロックバルスをカウントするカウンタの出力をアドレスとして、メモリより読み出される、位相指定ビットを含む  $n$  ビットパラレル位相指定データ各々は基準クロックバルスをシフトバルスとしてシフトレジスタで  $n$  ビットシリアル位相指定データに変換された後は、バルス幅制御器によって位相指定ビットのバルス幅が制御されるべくした構成のバルス発生回路。

この種デジタルパターン発生回路としては、特開昭57-185720号公報に示されているように、クロックバルスをカウントしているカウンタのその出力をアドレスとして、所望のデジタルパターンデータが予め記憶設定されているメモリより順次サイクリックにデジタルパターンが読み出されるようになっている。

2. 請求項1において、メモリは  $n$  ビットパラレル位相指定データ各々が外部より更新されるべく RAM として構成されているバルス発生回路。

3. 請求項1, 2の何れかにおいて、バルス幅制御器での位相指定ビットのバルス幅は外部より可変として任意に指定されるバルス発生回路。

## (発明が解決しようとする課題)

しかしながら、これまでにあってはメモリより単に順次サイクリックにデジタルパターンが読み出されているだけであるから、デジタルパターンの変更は容易でないものとなっている。即ち、メモリに予め記憶設定されるデジタルパターン

## 3. 発明の詳細な説明

データ自体の変更は勿論のこと、メモリより読み出された後のデジタルパターンに対する変更も何等考慮されていないというものである。一般にデジタルパターンの速度はクロックパルスにより規定されるから、ここでのいう変更とは特にデジタルパターン構成要素としてのパルス信号の有無や、パルス信号個々についての位相、パルス幅上でのものである。これら変更はデジタルパターン発生回路がテストに組込まれた場合に特に考慮されなければならないものとなっている。

本発明の目的は、デジタルパターン構成要素としてのパルス信号個々についてのパルス幅が変更可とされたパルス発生回路、更には位相もが変更可とされたパルス発生回路、更にはまた外部よりパルス信号のパルス幅が任意に変更可とされたパルス発生回路を供するにある。

(課題を解決するための手段)

上記目的は、メモリより順次サイクリックに読み出される、位相指定ビットを含む  $n$  ビットパラレル位相指定データ各々をシリアル変換したうえ、

パルス幅制御器ではそのパルス幅が変更可とされているものである。また、メモリを RAM として構成する場合は、位相指定データに含まれる位相指定ビットの位置やその有無についての変更、あるいは更新が可能となるから、パルス信号個々についての発生位相やその有無が変更可となるものである。更に外部よりパルス幅を任意に指定する場合、各パルス信号のパルス幅は同一として可変に変更され得るばかりか、パルス信号個々のパルス幅は他のパルス信号のそれとは独立に、変更されることも可能となるものである。

(実施例)

以下、本発明を第1図、第2図により説明する。

先ず本発明によるパルス発生回路について説明すれば、第1図はデジタルパターン構成要素としてのパルス信号の位相、パルス幅が外部より任意に変更可とされた一例での概要構成を示したものである。これによる場合、RAM 3には所望の基準デジタルパターンを発生するための位相指定データ(本例では8ビット構成)が所定アドレス

位相指定ビットの出現時点でそのパルス幅を変更すべく構成することで達成される。更には位相指定データ各々に含まれる位相指定ビットの位置が外部より変更、あるいは更新されるべくメモリはRAMとして構成されることで、更にはまたパルス幅の変更後の大きさは外部より可変として任意に指定されることで達成される。

(作用)

基準としてのデジタルパターンを変更するには、その構成要素としてのパルス信号個々の有無、パルス信号個々についての位相や、パルス幅を変更すればよいというものである。さて、基準としてのデジタルパターンはメモリより  $n$  ビットパラレル位相指定データ(但し、パルス信号を発生せしめない場合、位相指定ビットは含まれない)が順次読み出されたうえ、シフトレジスタでシリアル変換されることによって発生されるようになっている。これによってパルス信号個々は位相指定ビットで指定された位相で、しかもそのパルス幅はシフトパルス周期と同一にして発生されるが、

順に記憶設定されている必要があるが、この記憶設定はカウンタ2およびCPU6によって行なわれるようになっている。初期設定時、 $1/n$  分周器1からの、 $1/8$  分周された基準クロックパルスをカウンタ2でカウントし、そのカウント値をアドレスとして書込モードにおかれているRAM3に与える一方、そのアドレスの更新に同期して位相指定データをCPU6より書込データとして与えれば、RAM3には所望の基準デジタルパターンが発生されるべく位相指定データが記憶されるものである。位相指定データ各々は原則として、例えば何れか1ビットが“1”状態として、残り7ビットが“0”状態として設定されており、“1”状態にあるビットは位相指定ビットとしてそのビット位置に対応した位相でパルス信号を発生させるべく機能するものとなっている。もしも、8ビット全てが“0”状態として設定された場合には、この位相指定データによってはパルス信号は発生されないようになっているものである。

さて、基準デジタルパターンを発生せしめる

に際してはRAM 3は読出モードにおかれ、RAM 3にはカウンタ2より読出アドレスが与えられるようになっている。読出アドレスは書込の際でのアドレスと同様にして発生されるが、読出アドレスが8基準クロックパルス周期で更新される度にRAM 3からは8ビットパラレル位相指定データが読み出され、これが基準クロックパルスをシフトパルスとして8ビット容量のシフトレジスタ4でシリアル変換されることによって、基準デジタルパターンが発生されるようになっているものである。このデジタルパターン構成要素としてのパルス信号("1"状態)は位相指定ビットのビット位置に対応した位相で発生され、しかもそのパルス幅は1基準クロックパルス周期とされるが、パルス信号個々のパルス幅はパルス幅制御器5で所定に変更されるものとなっている。本例では基準クロックパルス周期の整数倍としてそのパルス幅が一様に変更されているが、より小さい周期をもったクロックパルスの周期の整数倍としてパルス幅が変更されてもよいものである。また、

RSフリップフロップをリセットする、といった具合に構成されるようになっている。第2図はある位相でシフトレジスタ4の出力としてパルス信号が出現した場合に、そのパルス幅が基準クロックパルスの周期の5倍、5倍、8倍のものとしてそれぞれ得られる場合を示したものである。パルス幅変更例(1)、(3)では位相指定ビットは左端、または右端のビット位置に位置していることが、また、パルス幅変更例(2)ではその位置より3ビット分ずれた位置に位相指定ビットが位置していることが知れる。

#### (発明の効果)

以上説明したように、請求項1によれば、デジタルパターン構成要素としてのパルス信号個々のパルス幅が一様に変更可とされ、請求項2による場合はまた、それらパルス信号個々の位相もがパルス幅とは独立に変更可とされ、請求項による場合はまた以上の効果に加えパルス信号個々のパルス幅は同一として可変に、あるいは他のパルス信号のそれとは独立に変更可とされる、といった

パルス幅がCPU 6より指定される場合は、パルス信号個々のパルス幅は同一として可変に変更され得るばかりか、他のパルス信号のそれとは独立に変更され得るものである。

もしも、パルス信号の位相やその有無を変更する場合には、RAM 3に記憶設定されている位相指定データを変更、更新すればよいものである。この変更、更新はRAM 3を書込モードにおいた状態でカウンタ2よりアドレスを、また、CPU 6より変更後の位相指定データを与えることで容易となっている。

以上のようにしてパルス幅制御器5からは所望のデジタルパターン出力OUTが得られるが、パルス幅制御器5は具体的には例えばRSフリップフロップやカウンタ、コンパレータなどによって構成されるようになっている。パルス信号が出現する度にRSフリップフロップを一旦セット状態におくと同時に、カウンタでクロックパルスをカウントするようにし、そのカウント値が設定値に達したことがコンパレータで検出された時点で

効果がある。

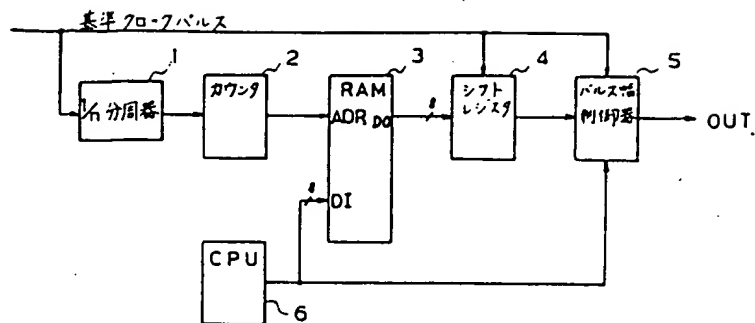
#### 4. 図面の簡単な説明

第1図は、本発明によるパルス発生回路の一例での概要構成を示す図、第2図は、パルス幅制御器での動作を説明するための入出力信号波形を示す図である。

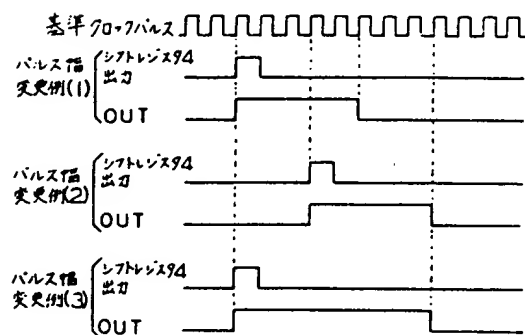
1… $1/n$ 分周器、2…カウンタ、3…RAM、4…シフトレジスタ、5…パルス幅制御器、6…CPU。

特許出願人 日立通信システム株式会社  
代理人 弁理士 秋本正実(外1名)

第 1 図



第 2 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**